

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-40833

(P2000-40833A)

(43) 公開日 平成12年2月8日(2000.2.8)

(51) Int.Cl.⁷

H 0 1 L 29/861

21/332

識別記号

F I

H 0 1 L 29/90

29/747

テームト(参考)

Z 5 F 0 0 5

3 0 1

審査請求 未請求 請求項の数6 OL (全 7 頁)

(21) 出願番号

特願平10-207765

(22) 出願日

平成10年7月23日(1998.7.23)

(71) 出願人 000006264

三菱マテリアル株式会社

東京都千代田区大手町1丁目5番1号

(72) 発明者 則本 雅史

埼玉県大宮市北袋町1丁目297番地 三菱

マテリアル株式会社総合研究所内

(72) 発明者 村上 義男

埼玉県大宮市北袋町1丁目297番地 三菱

マテリアル株式会社総合研究所内

(74) 代理人 100085372

弁理士 須田 正義

Fターム(参考) 5F005 AAO2 AB02 AC02 AFD1 AH01

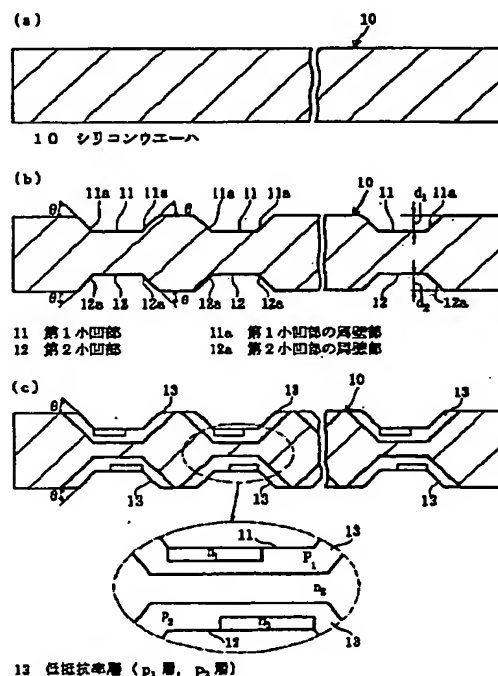
AH03 BA02 BB01 EA02

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 低抵抗率層形成時のウェーハの主面に形成された凹部にレジストが残留せず、素子の特性のばらつきを小さくし、歩留りを向上させる。厚いウェーハを用いて製造した場合に高抵抗率層の厚さをより薄くでき、素子の応答速度及びサージ耐量を向上させる。ウェーハ1枚当りの装置数を多く製造できる。

【解決手段】 第1導電型の高抵抗率のシリコンウェーハ10の一方の主面に複数の第1小凹部11又は両主面に相対向する複数の第1及び第2小凹部11、12をそれぞれ形成し、小凹部11、12を含む主面領域からそれぞれ不純物を拡散して第2導電型の低抵抗率層13を形成する際に、小凹部11、12の周壁部11a、12aを主面に対して角度 θ で傾斜させ、角度 θ が $30^\circ \leq \theta \leq 70^\circ$ 、好ましくは 54.74° である。



1

【特許請求の範囲】

【請求項1】 第1導電型の高抵抗率のシリコンウェーハ(10)の一方の主面に複数の第1小凹部(11)又は両主面に相対向する複数の第1及び第2小凹部(11,12)をそれぞれ形成する工程と、前記小凹部(11,12)を含む主面領域からそれぞれ不純物を拡散して第2導電型の低抵抗率層(13)を形成する工程とを有する半導体装置の製造方法において、

前記小凹部(11,12)の周壁部(11a,12a)を前記主面に対して角度(θ)で傾斜させ、前記角度(θ)が $30^\circ \leq \theta \leq 70^\circ$ であることを特徴とする半導体装置の製造方法。

【請求項2】 角度(θ)が 54.74° である請求項1記載の半導体装置の製造方法。

【請求項3】 第1導電型の高抵抗率のシリコンウェーハ(10)の一方の主面に単一の第1大凹部(21)又は両主面に相対向する単一の第1及び第2大凹部(21,22)をそれぞれ形成する工程と、前記第1大凹部(21)の底面と前記ウェーハ(10)の他方の主面若しくは前記第2大凹部(22)の底面に相対向する複数の第1及び第2小凹部(11,12)をそれぞれ形成する工程と、前記小凹部(11,12)を含む主面領域からそれぞれ不純物を拡散して第2導電型の低抵抗率層(13)を形成する工程とを有する半導体装置の製造方法であって、

前記第1及び第2大凹部(21,22)を前記シリコンウェーハの周辺部(10a)を除く前記シリコンウェーハ(10)のほぼ全主面領域に形成することを特徴とする半導体装置の製造方法。

【請求項4】 第1及び第2小凹部(11,12)の周壁部(11a,12a)を前記主面に対して角度(θ)で傾斜させ、前記角度(θ)が $30^\circ \leq \theta \leq 70^\circ$ である請求項3記載の半導体装置の製造方法。

【請求項5】 角度(θ)が 54.74° である請求項4記載の半導体装置の製造方法。

【請求項6】 両主面に形成される第1及び第2大凹部(21,22)の深さ(d_1, d_2)を互いに同一にする請求項3ないし5いずれか記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、サイリスタ、パワートランジスタ等の迅速な応答速度が要求される半導体装置を製造する方法に関する。更に詳しくは、サージ防護用のサイリスタのような縦方向導電型の半導体装置の製造に適する方法に関するものである。

【0002】

【従来の技術】 技術の進歩に従って大口径化している半導体装置用のシリコンウェーハは、機械的強度を高めてウェーハとしての加工を容易にし、かつ半導体装置への加工時の取扱いを容易にするために、その厚さが大口径化とともに厚くなっている。一方、半導体基板であるシリコンウェーハの一方の主面上の電極と他方の主面上の

2

電極との間に電流を流す縦型サージ防護素子では、出発材料であるn型もしくはp型のシリコンウェーハ自体からなる高抵抗率層の厚さがサージ防護素子の性能に大きく影響することが知られている。即ち、図6に示される n_1, p_1, n_2, p_2, n_3 構造のサージ防護用の半導体装置8では、ウェーハ自体からなる n_3 層の厚さによって、半導体装置の応答速度及びサージ耐量が決められ、薄いほど良好な特性が得られる。符号6及び7はそれぞれ電極を示す。このため、図7に示すようにシリコンウェーハ5の両主面3、3の一部をエッチングにより薄くして凹部1、2を形成し、サージ防護性能に実質的な影響を及ぼす n_3 層の厚さを小さくする双方向型半導体装置の製造方法が提案されている(特開平6-244408)。この方法によればウェーハ自体の機械的強度の低下を防止できるとともに、厚いシリコンウェーハを用いて製造した場合に高抵抗率の n_3 層の厚さを薄くでき、サージ耐量を向上させることができる。この方法では、図7に示すように凹部1、2を主面3に対して直角にn型のシリコンウェーハ5をエッチングすることにより形成した後、フォトリソグラフィ技術を用いてレジストを塗布して、 p_1 層及び p_2 層を形成し、更にレジストを塗布して n_1 層及び n_2 層を形成する。ここでウェーハ5自体はエッチングにより n_3 層となる。

【0003】

【発明が解決しようとする課題】 しかし、特開平6-244408号公報に示される製造方法では、凹部1、2を主面3に対して直角に形成するため、 p_1 層及び p_2 層の形成に用いたレジストが次の n_1 層及び n_2 層を形成するときに、凹部1、2内に多く残留する。このために n_1 層及び n_2 層形成用のレジストを均一な膜厚で塗布できず、そのため当初の設計通りの半導体素子を作製することが困難であった。また作製された素子の特性のばらつきは大きくなり、歩留りが低下する不都合があった。

【0004】 またこの従来の方法では、図7及び図8に示すように半導体装置を形成する部位毎に、シリコンウェーハ5の表面の凹部1と裏面の凹部2とを互いに間隔をあけて多数形成するため、厚いウェーハを用いて n_3 層を薄くすればするほど、素子形成部である凹部1及び2の深さ d_1, d_2 が大きくなって、 n_1 層及び n_2 層をフォトリソグラフィなどの手法で精度良く作製することが難しくなり、しかも素子形成部間の間隔 t_1 及び t_2 を小さくすることが困難な不具合があった。間隔 t_1 及び t_2 を小さくできないことに起因して、凹部を形成しない従来のウェーハと比較した場合、1枚のウェーハから製造できる半導体装置の数が減少していた。特に n_1 層及び n_2 層が精度良く作製できない場合には、サージ耐量を向上させることは可能であるものの、保持電流などのその他のサージ防護素子としての重要な他の特性に重大な悪影響を及ぼす不具合があった。また1枚のシリコンウェーハから作られる複数の半導体装置の間において

同一の特性を得ることが困難になる問題があった。

【0005】本発明の目的は、低抵抗率層の形成時のシリコンウェーハの主面に形成される凹部にレジストが残留することを防止して素子の特性のばらつきを小さくし、歩留りを向上させることができる半導体装置の製造方法を提供することにある。本発明の別の目的は、厚いシリコンウェーハを用いて製造した場合に高抵抗率層の厚さをより一層薄くでき、応答速度が速く、かつ装置をサージ防護素子とした場合にそのサージ耐量を向上させることができる半導体装置を製造する方法を提供することにある。本発明の更に別の目的は、凹部の深さが大きい場合にも低抵抗率層の外面に露呈しかつこの低抵抗率層にそれぞれ内包される別の不純物拡散層を容易に精度良く作製でき、かつウェーハ1枚当りの装置数を多く製造できる半導体装置の製造方法を提供することにある。

【0006】

【課題を解決するための手段】請求項1に係る発明は、図1(a)～図1(c)に示すように第1導電型の高抵抗率のシリコンウェーハ10の両主面に相対向する複数の第1及び第2小凹部11、12をそれぞれ形成する工程と、小凹部11、12を含む主面領域からそれぞれ不純物を拡散して第2導電型の低抵抗率層13を形成する工程とを有する半導体装置の製造方法において、小凹部11、12の周壁部11a、12aを主面に対して角度 θ で傾斜させ、角度 θ が $30^\circ \leq \theta \leq 70^\circ$ であることを特徴とする半導体装置の製造方法である。なお、図示しないが、シリコンウェーハ10の一方の主面に複数の第1小凹部11のみ形成することもできる。第1及び第2小凹部11、12の周壁部11a、12aを主面に対して角度 θ ($30^\circ \leq \theta \leq 70^\circ$)で傾斜させることにより、第1及び第2小凹部11、12に図1(c)の拡大図に示す p_1 層及び p_2 層を形成したときに用いたレジストを n_1 層及び n_2 層を形成するときに容易に除去でき、残留させない。

【0007】請求項2に係る発明は、請求項1に係る発明であって、角度 θ が 54.74° である半導体装置の製造方法である。結晶面が(100)面のシリコンウェーハ10を用いて、KOHによる異方性エッチングを行えば、主面に対して $\theta = 54.74^\circ$ の角度で傾斜した周壁部11a、12aが容易に得られる。

【0008】請求項3に係る発明は、図4(a)～図4(d)に示すように第1導電型の高抵抗率のシリコンウェーハ10の両主面に相対向する単一の第1及び第2大凹部21、22をそれぞれ形成する工程と、第1大凹部21の底面と第2大凹部22の底面に相対向する複数の第1及び第2小凹部11、12をそれぞれ形成する工程と、小凹部11、12を含む主面領域からそれぞれ不純物を拡散して第2導電型の低抵抗率層13を形成する工程とを有する半導体装置の製造方法であって、第1及び第2大凹部21、22をシリコンウェーハの周辺部10

aを除くシリコンウェーハ10のほぼ全主面領域に形成することを特徴とする半導体装置の製造方法である。なお、図示しないが、シリコンウェーハ10の一方の主面に第1大凹部21のみを形成し、この第1大凹部の底面21とウェーハ10の他方の主面に相対向して複数の第1及び第2小凹部11、12をそれぞれ形成することもできる。シリコンウェーハ10の周辺部10aを残して第1及び第2大凹部21、22を形成するため、ウェーハの強度を保持した状態で深さ d_1 、 d_2 を大きくすることができ、これにより n_1 層の厚さを薄くできる。また第1及び第2大凹部21、22がウェーハ中央部の広い領域に形成されるため、多数の半導体装置を作る場合にも、低抵抗率層13である p_1 層及び p_2 層の外面に露呈しかつ p_1 層及び p_2 層にそれぞれ内包される n_1 層及び n_2 層を容易に精度良く作製できる。また第1及び第2大凹部21、22はウェーハの表面及び裏面でそれぞれ単一であつた広大であるため、ウェーハ内で素子が形成されない領域が僅かな幅で済み、これにより特開平6-244408号公報に示される製造方法と比べてウェーハ1枚当りの装置数を多く製造できる。

【0009】請求項4に係る発明は、請求項3に係る発明であって、第1及び第2小凹部11、12の周壁部11a、12aを主面に対して角度 θ で傾斜させ、角度 θ が $30^\circ \leq \theta \leq 70^\circ$ である半導体装置の製造方法である。第1及び第2小凹部11、12の周壁部11a、12aを主面に対して角度 θ ($30^\circ \leq \theta \leq 70^\circ$)で傾斜させることにより、第1及び第2小凹部11、12に p_1 層及び p_2 層を形成したときに用いたレジストを n_1 層及び n_2 層を形成するときに容易に除去でき、残留させない。

【0010】請求項5に係る発明は、請求項4に係る発明であって、角度 θ が 54.74° である半導体装置の製造方法である。結晶面が(100)面のシリコンウェーハ10を用いて、KOHによる異方性エッチングを行えば、主面に対して $\theta = 54.74^\circ$ の角度で傾斜した周壁部11a、12aが容易に得られる。

【0011】請求項6に係る発明は、図4(b)に示すように請求項3ないし5のいずれかに係る発明であって、両主面に形成される第1及び第2大凹部21、22の深さ d_1 、 d_2 を互いに同一にする半導体装置の製造方法である。第1大凹部21の深さ d_1 と第2大凹部22の深さ d_2 を同一にすることにより、製造方法がより容易となり、 n_1 層、 n_2 層を精度良く形成しやすい。またウェーハ10に反りが発生しない。

【0012】

【発明の実施の形態】本発明で作られる半導体装置は、サイリスタ、パワートランジスタ等の迅速な応答速度が求められる縦方向導電型の半導体装置である。本発明の高抵抗率を有するシリコンウェーハは比較的厚い、好ましくは厚さ200 μ m以上のウェーハが用いられる。第

5

1及び第2小凹部の周壁部の主面に対する傾斜角度 θ は $30^\circ \sim 70^\circ$ の範囲にある。 30° 未満ではシリコンウェーハ1枚当たり得られる半導体装置の数が少なくなり過ぎる。また 70° を超えると低抵抗率層を形成するときにレジストが除去しにくくなる。 54.74° 以外の $30^\circ \sim 70^\circ$ の傾斜角は結晶面(110)のシリコンウェーハを用いるか、或いはシリコンウェーハの結晶軸を(100)から僅かにずらしたウェーハを用いてエッチングすることにより、作り出される。前者の場合に、平面視ではほぼ六角形で6辺のうち2辺が傾斜角が 35.3° の傾斜面となる。後者の場合に、平面視ではほぼ正方形で4辺のうち相対向する2辺の傾斜角が約 50° ないし 60° の傾斜面となる。

【0013】本発明の第1の実施の形態を図面に基いて説明する。この実施の形態では半導体装置は双方向対称特性を有する縦方向導電型のサージ防護用のサイリスタである。この双方向サイリスタを製造するには、図1(a)に示すように結晶面が(100)面である厚さ $630\mu\text{m}$ で直径5インチ(125mm)のn型のシリコンウェーハ10を用意する。このウェーハ10の上下両主面を図示しない所定のパターンのマスクで覆った後、図1(b)に示すようにエッチャントとしてKOH(水酸化カリウム)を用いた異方性エッチングによりウェーハ10の表面に第1小凹部11を、またウェーハ10の裏面に第2小凹部12をそれぞれ形成する。これらの凹部11及び12は同一寸法で、平面視では図2に示すようにほぼ正方形であって、全体ではほぼ正四角錐状である。これらの凹部11及び12は互いに対向する位置にそれぞれ $d_1 = d_2 = 190\mu\text{m}$ の深さに形成される。この異方性エッチングにより、第1小凹部11の周壁部11a及び第2小凹部12の周壁部12aはウェーハ10の主面に対して $\theta(54.74^\circ)$ の角度で傾斜する。

【0014】第1及び第2小凹部11、12を形成した後、これらの凹部全体を図示しない所定のパターンの形成されたマスクで覆い、図1(c)に示すようにこのマスクの上からウェーハ10の両面に不純物拡散を行って、低抵抗率層13(p_1 層及び p_2 層)をウェーハ両面に形成する。これらの p_1 層及び p_2 層をそれぞれ $30\mu\text{m}$ の深さに形成することにより、中間に残った n_1 層の厚さは $190\mu\text{m}$ となる。次いで低抵抗率層13の場合と同様にして、図示しないマスクの上からウェーハ10の両面に不純物拡散を行って、図1(c)に示すように p_1 層及び p_2 層に p_1 層及び p_2 層の外面に露呈しかつ p_1 層及び p_2 層にそれぞれ内包される n_1 層及び n_2 層を形成する。周壁部11a及び12aをウェーハ10の主面に対して角度 $\theta = 54.74^\circ$ で傾斜したことにより、第1及び第2小凹部11、12に p_1 層及び p_2 層を形成したときに用いたレジストを n_1 層及び n_2 層を形成するときに容易に除去でき、 n_1 層及び n_2 層を形成するためのレジストを p_1 層及び p_2 層表面に均一に塗布すること

6

ができる。引続いて表面の n_1 層と p_1 層の外面を覆うように電極を形成し、また裏面の n_2 層と p_2 層の外面を覆うように電極を形成した後、素子形成部毎にシリコンウェーハをダイシングすることにより、図3に示すように電極16が表面に形成され、電極17が裏面に形成された半導体装置20が得られる。

【0015】本発明の第2の実施の形態を図4(a)～図4(d)に基づいて説明する。図4(a)～図4(d)において図1(a)～図1(c)と同一符号は同一構成要素を示す。この実施の形態の半導体装置も第1の実施の形態と同様に双方向対称特性を有する縦方向導電型のサージ防護用のサイリスタである。この双方向サイリスタを製造するには、図4(a)に示すように第1の実施の形態と同じ結晶面が(100)面である厚さ $630\mu\text{m}$ で直径5インチ(125mm)のn型のシリコンウェーハ10を用意する。図4(b)に示すように、ウェーハ10の上下両主面をエッチャントとしてフッ酸と硝酸の混酸を用いた等方性エッチングによりウェーハ10の表面に第1大凹部21を、またウェーハ10の裏面に第2大凹部22をそれぞれ形成する。これらの凹部21及び22は同一寸法で、平面視では図5に示すようにほぼ楕円形である。これらの凹部21及び22は互いに対向する位置にそれぞれ $d_1 = d_2 = 100\mu\text{m}$ の深さに形成される。図4(c)に示すように、このようにして形成された第1大凹部21の底面及び第2大凹部22の底面をそれぞれ第1の実施の形態と同じKOHを用いた異方性エッチングにより選択的に除去して、第1大凹部21の底面に第1小凹部11を、また第2大凹部22の底面に第2小凹部12をそれぞれ形成する。これらの凹部21及び22は同一寸法で、第1の実施の形態と同様に平面視では正方形であって、全体では正四角錐状である。これらの凹部11及び12は互いに対向する位置にウェーハ主面からそれぞれ $d_1 = d_2 = 190\mu\text{m}$ の深さに形成される。この異方性エッチングにより、第1小凹部11の周壁部11a及び第2小凹部12の周壁部12aはウェーハ10の主面に対して $\theta(54.74^\circ)$ の角度で傾斜する。

【0016】第1及び第2小凹部11、12を形成した後、第1の実施の形態と同様にしてこれらの凹部全体を図示しない所定のパターンの形成されたマスクで覆い、このマスクの上から第1大凹部21の底面及び第2大凹部22の底面にそれぞれ不純物拡散を行って、低抵抗率層13(p_1 層及び p_2 層)をウェーハ両面に形成する。これらの p_1 層及び p_2 層をそれぞれ $30\mu\text{m}$ の深さに形成することにより、中間に残った n_1 層の厚さは $190\mu\text{m}$ となる。この厚さ $190\mu\text{m}$ は第1の実施の形態より小さくすることができる。次いで低抵抗率層13の場合と同様にして、図示しないマスクの上からウェーハ10の両面に不純物拡散を行って、図4(d)に示すように p_1 層及び p_2 層に p_1 層及び p_2 層の外面に露呈しかつ

p₁層及びp₂層にそれぞれ内包されるn₁層及びn₂層を形成する。周壁部11a及び12aをウェーハ10の主面に対して角度θ=54.74°で傾斜したこと及び第1及び第2小凹部11、12を第1及び第2大凹部21、22を形成した後に形成することにより、第1及び第2小凹部11、12にp₁層及びp₂層を形成したときに用いたレジストをn₁層及びn₂層を形成するときに第1の実施の形態のときよりも更に容易に除去でき、n₁層及びn₂層を形成するためのレジストをp₁層及びp₂層表面に均一に塗布することができる。以下、第1の実施の形態と同様に表面のn₁層とp₁層の外面を覆うように電極を形成し、また裏面のn₂層とp₂層の外面を覆うように電極を形成した後、素子形成部毎にシリコンウェーハをダイシングすることにより、図3に示すように表面及び裏面に電極16及び17がそれぞれ形成された第1の実施の形態と同様の半導体装置20が得られる。

【0017】

【発明の効果】以上述べたように、請求項1又は2に係る発明によれば、第1及び第2小凹部の周壁部を主面に対して角度θで傾斜させることにより、低抵抗率層の形成時のシリコンウェーハの主面に形成される凹部にレジストが残留することを防止できる。従って、素子の特性のばらつきを小さくし、歩留りを向上させることができる。請求項3ないし6に係る発明によれば、シリコンウェーハの両主面にウェーハ周辺部を残して広い領域にわたって第1及び第2大凹部した後第1及び第2小凹部を形成することにより、①厚いシリコンウェーハを用いて製造した場合に半導体装置の高抵抗率層の厚さをより一層薄くでき、この結果半導体装置の応答速度及びこの装置をサージ防護素子とした場合にそのサージ耐量を向上させることができる。②ウェーハ主面からの第1及び第2大凹部の深さが大きい場合にも低抵抗率層の外面に露*

*呈しかつこの低抵抗率層にそれぞれ内包される別の不純物拡散層を容易に精度良く作製でき、かつウェーハ1枚当りの装置数を多く製造できる。③低抵抗率層形成時のレジストを請求項1又は2に係る発明よりも更に容易に除去でき、このレジストの残留を防止することができる。

【図面の簡単な説明】

【図1】請求項1に係る発明の半導体装置の製造方法を工程順に示す断面図。

10 【図2】その第1小凹部の拡大平面図。

【図3】その半導体装置の構成図。

【図4】請求項3に係る発明の半導体装置の製造方法を工程順に示す断面図。

【図5】その第1大凹部を形成したシリコンウェーハの平面図。

【図6】従来の半導体装置の構成図。

【図7】従来の半導体装置を作るための凹部を形成したシリコンウェーハの要部断面図。

【図8】その凹部を形成したシリコンウェーハの平面図。

【符号の説明】

10 シリコンウェーハ

10a ウェーハの周辺部

11 第1小凹部

11a 第1小凹部の周壁部

12 第2小凹部

12a 第2小凹部の周壁部

13 低抵抗率層(p₁層、p₂層)

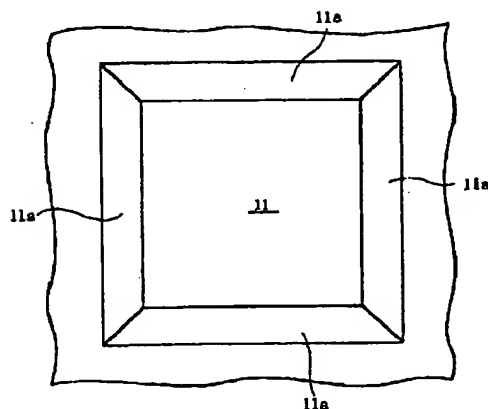
21 第1大凹部

22 第2大凹部

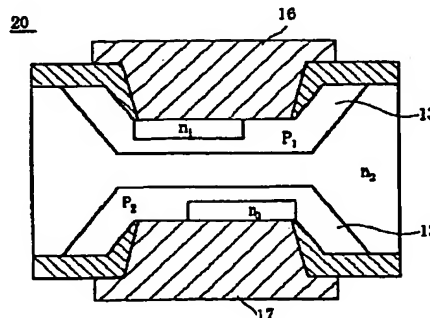
d、第1大凹部の深さ

d、第2大凹部の深さ

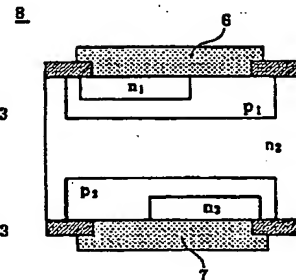
【図2】



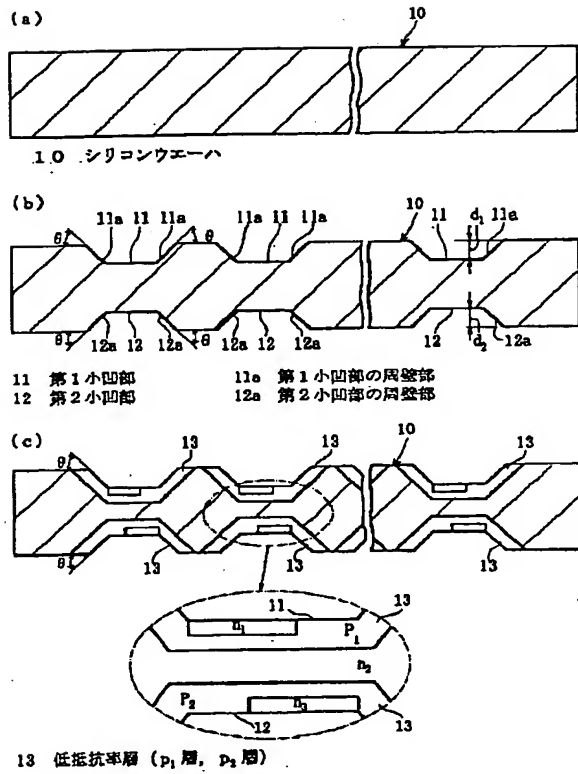
【図3】



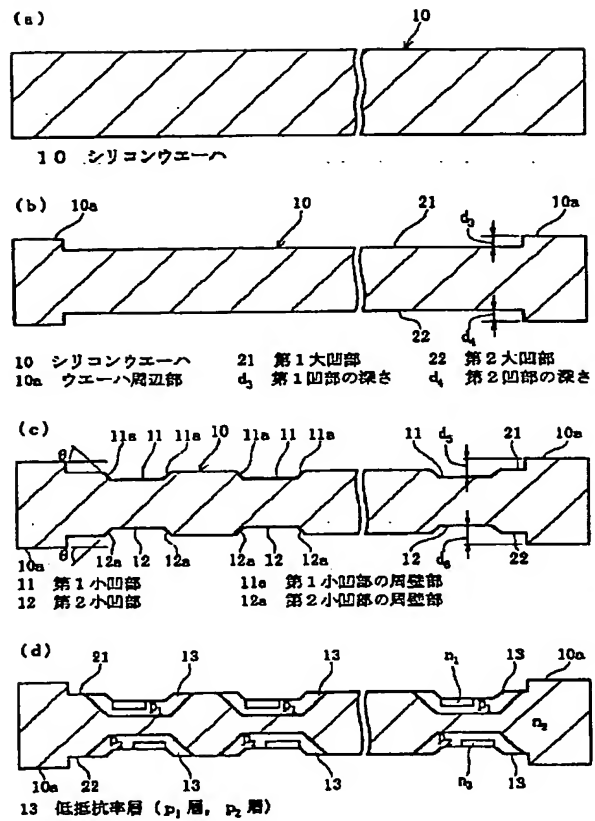
【図6】



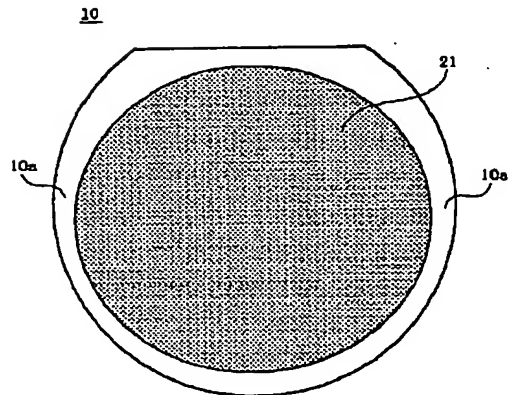
【図1】



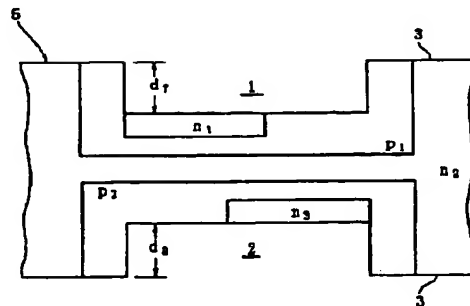
【図4】



【図5】



【図7】



【図8】

